

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    3 月 2 6 日  
Date of Application:

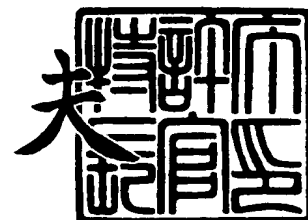
出 願 番 号                      特 願 2 0 0 3 - 0 8 5 7 3 3  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 0 8 5 7 3 3 ]

出      願      人                      株式会社半導体エネルギー研究所  
Applicant(s):

2 0 0 4 年    1 月 2 1 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 P007062

【提出日】 平成15年 3月26日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 舜平

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山口 哲司

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 磯部 敦生

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の作製方法

【特許請求の範囲】

【請求項 1】

下層部とのコンタクトを形成する開口部が形成された有機絶縁膜上に、前記開口部を充填した配線を形成する半導体装置の作製方法であって、

前記有機絶縁膜上及び開口部に、バリア性を有する第 1 の導電膜を形成し、前記第 1 の導電膜上にアルミニウムを含む第 2 の導電膜を形成し、

減圧又は常圧下で、前記第 2 の導電膜の選択的な加熱処理により、平坦化を行うことを特徴とする半導体装置の作製方法。

【請求項 2】

下層部とのコンタクトを形成する開口部が形成された有機絶縁膜上に、前記開口部を充填した配線を形成する半導体装置の作製方法であって、

前記有機絶縁膜上及び開口部に窒化膜を形成し、

前記下層部が露出するように前記窒化膜をパターニングし、

前記窒化膜上にバリア性を有する第 1 の導電膜を形成し、前記第 1 の導電膜上にアルミニウムを含む第 2 の導電膜を形成し、

減圧又は常圧下で、前記第 2 の導電膜の選択的な加熱処理により、平坦化を行うことを特徴とする半導体装置の作製方法。

【請求項 3】

請求項 1 又は請求項 2 において、

前記第 1 及び前記第 2 の導電膜の形成から、前記選択的な加熱処理までを、大気に晒すことなく連続的に行うことを特徴とする半導体装置の作製方法。

【請求項 4】

請求項 1 又は請求項 2 において、

前記選択的な加熱処理として、ランプを用いて紫外乃至赤外光を照射することを特徴とする半導体装置の作製方法。

【請求項 5】

請求項 1 又は請求項 2 において、

前記選択的な加熱処理として、パルス発振又は連続発振を行う気体レーザ又は固体レーザのレーザ光を照射することを特徴とする半導体装置の作製方法。

【請求項 6】

請求項 1 又は請求項 2 において、

前記第 1 の導電膜として、チタン、タンタル、タングステン又はシリコンを含む膜を形成することを特徴とする半導体装置の作製方法。

【請求項 7】

請求項 1 又は請求項 2 において、

前記第 2 の導電膜上に第 3 の導電膜を形成し、

前記第 3 の導電膜として、ゲルマニウム (Ge)、スズ (Sn)、ガリウム (Ga)、亜鉛 (Zn)、鉛 (Pb)、インジウム (In) 及びスカンジウム (Sc) から選択された一種又は複数種の元素を含む膜を形成することを特徴とする半導体装置の作製方法。

【請求項 8】

請求項 1 又は請求項 2 において、

前記有機絶縁膜として、アクリル、ポリイミド、ポリアミド、ポリイミドアミド、エポキシアクリル、ベンゾシクロブテン、パリレン及びフレアから選択された一種を形成することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、リフロー法により配線を作製する工程を含む半導体装置の作製方法に関する。

【0002】

【従来の技術】

近年、高集積化、高速化及び微細化された半導体装置の開発が進められている。微細化に伴い、横方向の縮小は 70% 程度の割合で可能となったが、縦方向の縮小は低抵抗確保などを理由として進めることが出来ていない。そのため、アスペクト比が大きい、細く深いホールに配線を形成する技術が必要になってきた。

そこで、あらかじめ絶縁膜に所定の溝を形成し、この溝に金属材料を埋め込む金属埋め込み技術として、メタル C V D 法やリフロー法などが開発された。リフロー法は、低コストで行うことが可能であるため、大変有望な技術である。

#### 【 0 0 0 3 】

また、高速化や高性能化のためには、絶縁膜の低誘電率化が重要であり、有機材料を用いることが好適である。しかしながら、有機材料は耐熱性が低く、その処理温度によっては分解し、破壊されてしまう。そこで、有機材料からなる絶縁膜に埋め込み配線を形成する場合、高圧リフロー法を用いて、その処理温度を有機材料の耐熱温度よりも少なくとも 2 0 度少ない温度で行うものがある（特許文献 1 参照）。この方法では、有機絶縁膜からの脱ガスを防止するため、該有機絶縁膜上にバリア金属膜を成膜した後で埋め込み配線を形成する。

#### 【 0 0 0 4 】

【特許文献 1】 特開平 1 0 - 1 2 5 7 8 3 号公報

#### 【 0 0 0 5 】

【発明が解決しようとする課題】

上記の高圧リフロー法を用いる場合、配線を形成するスパッタリング装置と高圧リフロー装置というような、圧力が約  $10^7$  倍も異なる装置を不活性ガスや真空中で接続しなければならず、接続機構が大型化してしまっていた。また、両装置に基板を搬入出するために必要な時間が長くなってしまうため、製造コストが上昇してしまっていた。

#### 【 0 0 0 6 】

そこで本発明は、接続機構が簡単で、連続処理を行うことで低コストを実現した半導体装置の作製方法を提供することを課題とする。また、耐熱温度が低い有機絶縁膜に形成されたアスペクト比が高いコンタクトホールにカバレッジが良好な配線を形成することができる半導体装置の作製方法を提供することを課題とする。さらに、低誘電率の有機絶縁膜を用いることで、配線容量を低減し、多層配線を作製することが可能な半導体装置の作製方法を提供することを課題とする。

#### 【 0 0 0 7 】

【課題を解決するための手段】

上述した従来技術の課題を解決するために、本発明においては以下の手段を講じる。

#### 【0008】

本発明は、下層部とのコンタクトを形成する開口部が形成された有機絶縁膜上に、前記開口部を充填した配線を形成する半導体装置の作製方法であって、前記有機絶縁膜上及び開口部に、バリア性の第1の導電膜を形成し、前記第1の導電膜上にアルミニウムを含む第2の導電膜を形成し、減圧又は常圧（大気圧）下で、前記第2の導電膜の選択的な加熱処理により、平坦化を行うことを特徴とする。そして、前記第1及び前記第2の導電膜の形成から、前記選択的な加熱処理までを、大気に晒すことなく連続的に行うことを特徴とする。

#### 【0009】

また、上記とは異なる作製方法として、前記有機絶縁膜上及び開口部に窒化膜を形成し、前記下層部が露出するように前記窒化膜をパターンニングし、前記窒化膜上にチタン、タンタル又はタングステンを含む第1の導電膜を形成し、前記第1の導電膜上にアルミニウムを含む第2の導電膜を形成してもよい。この場合、窒化膜は有機絶縁膜からの脱ガス防止となる。

#### 【0010】

また、第2の導電膜上に第3の導電膜を形成し、前記第3の導電膜として、ゲルマニウム（Ge）、スズ（Sn）、ガリウム（Ga）、亜鉛（Zn）、鉛（Pb）、インジウム（In）及びスカンジウム（Sb）から選択された一種又は複数種の元素を含む膜を形成してもよい。

#### 【0011】

より詳しくは、本発明は、有機材料からなる絶縁膜に埋め込み配線の形成、又はコンタクトホールに配線埋め込みを行う工程を有する半導体装置の作製方法において、減圧又は常圧下で、短時間の加熱処理により、当該工程を行うことを特徴とする。加熱処理としては、導電材料を加熱することで流動性を高めることが可能な紫外乃至赤外光を照射して行うものであり、加熱処理を行う手段としては、パルス発振又は連続発振を行う気体又は固体レーザの照射、又は紫外乃至赤外光を放射するランプを用いて行う。本加熱処理は短時間で行うことを特徴として

おり、熱的には非平衡状態が実現されて、有機絶縁膜には熱が伝わらないため、該有機絶縁膜が破壊されることはない。また、加熱処理を行う際には、基板を加熱してもよく、好適には550度以下に加熱するとよい。

#### 【0012】

上記配線材料としては、Al、AlにSc、Si、Cu、Tiなどを0.01～5wt%添加したAl合金を用いることが好ましい。また、Ge、Sn、Ga、Zn、Pb、In及びSb等から選択された元素を含む材料を用いるか、Al膜上に前記の元素を含む薄膜を積層形成することで、加熱処理による流動性の向上や熱処理温度の低温化を図ることが好ましい。特に、反射率の低い当該元素を含む導電膜を、Alに代表される導電膜の上層に積層形成することで、前述したレーザ光やランプ光により効率良く加熱することができる。

#### 【0013】

有機材料としては、誘電率が低い材料で、好適には比誘電率が4以下の絶縁膜であり、例えば、アクリル、ポリアミド、ポリイミドアミド、エポキシアクリル、ベンゾシクロブテン、パリレン及びフレア、透過性を有するポリイミドなどの有機材料を用いるとよい。

#### 【0014】

上記構成を有する本発明は、常圧又は減圧下で行うため、ロードロック機構を用いれば連続処理を行うことが可能であり、低コストが実現される。また、短時間の加熱処理により、導電膜をリフローさせてコンタクトホールの埋め込みを行うことを特徴としており、耐熱温度が低い有機絶縁膜にもカバレッジが良好な配線を形成することができる。さらに、低誘電率の有機絶縁膜を用いることで、配線容量を低減し、多層配線が実現されるため、半導体装置の高性能化及び高機能化が実現される。

#### 【0015】

##### 【発明の実施の形態】

##### (実施の形態1)

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその

形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる。

#### 【0016】

本実施の形態について、図1(A)～(C)を用いて説明する。基板10は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス等からなるガラス基板、石英基板、シリコン基板、金属基板、ステンレス基板、又は本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板を用いる(図1(A))。

#### 【0017】

そして、基板10上には、有機絶縁膜20及び配線19が形成される。なお本実施例では、配線19を例示したが、下地膜やコンタクトをとりたい半導体層が形成されていてもよい。

#### 【0018】

次に、基板10上にSOG(Spin On Glass)法やスピコート法を用いて、 $0.3 \sim 5 \mu\text{m}$ (好ましくは $0.5 \sim 2 \mu\text{m}$ )の厚さで有機絶縁膜11を形成する。有機絶縁膜11の材料としては、誘電率が低い材料で、好適には比誘電率が4以下の材料を用いればよく、例えば、アクリル、ベンゾシクロブテン、パリレン、フレア、透過性を有するポリイミドなどの有機材料を用いるとよい。

#### 【0019】

有機絶縁膜11はその平坦性が優れているため、後に導電材料をリフローさせても、段差部で膜厚が極端に薄くなることがなったり、断線が起こったりすることがない。また低誘電率の材料を層間絶縁膜として用いると、配線容量が低減するため、多層配線を形成することが可能となり、半導体装置の高性能化及び高機能化が実現される。

#### 【0020】

次に、フォトリソグラフィ技術を用いて、有機絶縁膜11をパターン加工して、コンタクトホールを形成する。ウエットエッチング、ドライエッチングのいずれの方法を用いても構わないが、ドライエッチングを用いると、3以上の高アス



ペクト比のコンタクトホールを形成できるので、好適である。このコンタクトホールを形成した後は、その下層の配線 19 が露出した状態となる。

#### 【0021】

その後、スパッタリング法などの公知の方法を用いて、第 1 の導電膜（以下バリア膜と称する）12 を形成する。例えば、雰囲気ガスとして Ar（アルゴン）、又は Ar と窒素ガスを用いて、20 nm の厚さで Ti（チタン）膜を形成し、次に 50 nm の厚さで TiN（チタンナイトライド）膜を順次積層し、この Ti/TiN 膜をバリア膜 12 とする。なおバリア膜 12 の材料としては、Ti、TiN に限らず、Al との濡れを確保する TiSix や MoSix などのシリサイド膜やポリシリコン膜、Nb、TiON、W（タングステン）、WN、TiWN、Ta などの材料を用いればよく、単層及び積層構造のいずれでも構わない。このバリア膜 12 は、密着性を高め、埋め込み性を付与し、さらにコンタクト抵抗の低減と安定化をもたらすものである。

#### 【0022】

次に、バリア膜 12 上に第 2 の導電膜（以下導電膜と称する）13 を形成する。より詳しくは、スパッタ法などの公知の方法により、アルミニウム又はアルミニウムを主成分とする材料、Cu（銅）又は銅を主成分とする材料、又はそれらの合金材料を用いて、膜厚 0.3 ~ 2  $\mu$ m の厚さで導電膜 13 を形成する。バリア膜 12 と導電膜 13 は、スパッタリング法により連続的に形成することができる。また、この導電膜 13 には、ゲルマニウム（Ge）、スズ（Sn）、ガリウム（Ga）、亜鉛（Zn）、鉛（Pb）、インジウム（In）及びスカンジウム（Sb）などから選択された一種又は複数種の元素と、Al、Cu との合金材料を用いてもよい。このような元素と混合した合金材料を用いると、融点が低下し、リフロー工程における処理温度を低下させることができる。

#### 【0023】

続いて、導電膜 13 を成膜後、常圧又は減圧下で、大気解放せずに加熱処理を行って、アルミニウムをリフローさせる（流動化させる）ことで、コンタクトホールをアルミニウムにより良好に埋め込み、表面が平坦化された導電膜 15 を形成する（図 1（B））。この加熱処理は、レーザ光の照射又は瞬間熱アニールに

より短時間で行い、少なくとも導電膜 1 3 が再結晶温度以上になり、流動性を有するようにする。この際、リフローを良好に行うために、基板を加熱しておいてもよく、そのときの温度は、絶縁膜の材質に依存するが、一般的には 2 0 0 ~ 5 5 0 度（好ましくは 2 5 0 ~ 4 5 0 度）とする。このように、リフロー法では、配線材料を成膜した後、この成膜された配線材料を再結晶温度以上かつ融点以下で加熱して軟化させ、該材料の流動性を高めてコンタクトホールに流し込むことにより、配線材料をコンタクトホールに埋め込む。

#### 【 0 0 2 4 】

レーザ光の照射を行う際には、連続発振またはパルス発振の気体レーザ又は固体レーザを用いれば良い。前者の気体レーザとしては、エキシマレーザ、Y A G レーザ等が挙げられ、後者の固体レーザとしては、C r、N d 等がドーピングされた Y A G、Y V O<sub>4</sub> 等の結晶を使ったレーザ等が挙げられる。なお非晶質半導体膜の結晶化に際し、大粒径に結晶を得るためには、連続発振が可能な固体レーザを用い、基本波の第 2 ~ 第 4 高調波を適用するのが好ましい。上記レーザを用いる場合には、レーザ発振器から放射されたレーザビームを光学系で線状に集光して、半導体膜に照射すると良い。結晶化の条件は適宜設定されるが、エキシマレーザを用いる場合はパルス発振周波数 3 0 0 H z とし、レーザーエネルギー密度を 1 0 0 ~ 7 0 0 mJ/cm<sup>2</sup>（好ましくは 2 0 0 ~ 3 0 0 mJ/cm<sup>2</sup>）とすると良い。また Y A G レーザを用いる場合には、その第 2 高調波を用いてパルス発振周波数 1 ~ 3 0 0 H z とし、レーザーエネルギー密度を 3 0 0 ~ 1 0 0 0 mJ/cm<sup>2</sup>（好ましくは 3 5 0 ~ 5 0 0 mJ/cm<sup>2</sup>）とすると良い。そして幅 1 0 0 ~ 1 0 0 0 μ m（好ましくは幅 4 0 0 μ m）で線状に集光したレーザ光を基板全面に渡って照射し、このときの線状ビームの重ね合わせ率（オーバーラップ率）を 5 0 ~ 9 8 % として行っても良い。但し、レーザ光の吸収率の関係から、連続発振のレーザを用いることが好ましい。また、導電膜 1 3 からの反射光を防止するために、レーザ光の入射角を工夫することが好ましい。さらに、パルス発振と連続発振を組み合わせた所謂ハイブリッドのレーザ照射方法を用いてもよい。レーザ光の照射による加熱処理は、有機絶縁膜 1 1 が破壊しないように、数分~数マイクロ秒の間で瞬間的に行う。

## 【0025】

また、瞬間熱アニール（RTA）は、不活性ガスの雰囲気下で、紫外光乃至赤外光を照射する赤外ランプやハロゲンランプなどを用いて、急激に温度を上昇させ、数分～数マイクロ秒の間で瞬間的に熱を加えて行う。この処理は瞬間的に行うために、実質的に最表面の薄膜のみを加熱することができ、下層の膜には影響を与えない。なお、この瞬間熱アニールを用いる場合には、導電膜13を形成後に、チャンバ内の温度を変えることで、連続処理を行うことができる。

## 【0026】

両方の加熱処理を行う際には、導電膜13が全面に成膜されているため、有機絶縁膜11は保護され、破壊されることはない。また、短時間で行われるため、熱的に非平衡の状態が実現されて、有機絶縁膜11までには熱が伝わらない。また

## 【0027】

A1を主成分とする導電膜15は酸化しやすいが、減圧下で行うと、該導電膜15の表面に酸化膜ができないため、好適である。また常圧下で加熱処理を行う場合には、雰囲気中における酸素や水などの酸化性ガスの分圧を十分に低いものとするか、又は不活性ガスの雰囲気下で行う必要がある。仮に導電膜15の表面に自然酸化膜が形成されていると、該導電膜15の流動化（リフロー）が著しく阻害され、コンタクトホールの埋め込みを行うことができない。

## 【0028】

なお、バリア膜として、Ti/TiN膜を形成した場合には、例えば、上層のTiN膜とA1膜をパターン加工後に、加熱処理を施してもよい。この場合、有機絶縁膜11上にはTi膜で覆われているため、加熱処理を施しても破壊されることがない。

## 【0029】

次に、フォトリソグラフィ技術を用いて、導電膜15をパターン加工して、配線16を形成する（図1（C））。以上のような工程を経て、低誘電率の有機絶縁膜に形成されたアスペクト比が高いコンタクトホールにカバレッジが良好な配線を形成することができる。

**【0030】**

本形態の作製方法によると、短時間で且つ全面に導電膜が成膜された状態で加熱処理を行うため、有機絶縁膜 11 が破壊されることなく、埋め込み配線 16 を形成することができる。また本発明は、常圧又は減圧下で行うため、ロードロック機構を用いれば連続処理を行うことが可能であり、低コストが実現される。具体的には、バリア膜 12 及び導電膜 13 の成膜と加熱処理の工程の連続処理が可能である。

**【0031】**

(実施の形態 2)

本発明の実施の形態について図 1 (D) ~ (F) を用いて説明する。

**【0032】**

基板 10 としては絶縁表面を有するガラス基板などを用いればよく、基板 10 上には有機絶縁膜 20 及び配線 19 が形成される (図 1 (D))。そして、配線 19 上に有機絶縁膜 11 を形成し、該有機絶縁膜 11 をパターン加工してコンタクトホールを形成する。これまでの工程は、上記の実施の形態 1 と同様であるので、詳しい説明は省略する。

**【0033】**

次に、公知の方法 (スパッタリング法、プラズマ CVD 法など) を用いて、窒化珪素膜などの窒化膜 14 を形成する。この窒化膜 14 は、有機絶縁膜 11 からの脱ガスを防止する役割を果たす。そして、フォトリソグラフィ法を用いて、配線 19 が露出するようにパターン加工する。

**【0034】**

その後、窒化膜 14 上に、バリア膜 12 及び導電膜 13 を形成する。これらの工程も、上記の実施の形態 1 と同様であるので、詳しい説明は省略する。

**【0035】**

次に、後の工程の加熱処理を精度良く行うため、レーザ光の反射光を抑制する第 3 の導電膜 (以下反射防止膜と称する) 17 を形成する。この反射防止膜 17 は、公知の方法 (スパッタリング法、プラズマ CVD 法など) により形成される酸化珪素膜、窒化珪素膜、窒化酸化珪素膜及び酸化窒化珪素膜などの絶縁膜や、

公知の方法により形成される Ge、Sn、Ga、Zn、Pb、In 及び Sb などから選択された一種又は複数種の元素を含む導電膜を用いる。但し、反射防止膜 17 として、Ge、Sn、Ga、Zn、Pb、In 及び Sb などから選択された一種又は複数種の元素を含む導電膜を用いると、その融点が低下し、加熱処理の温度を低くすることができる。

#### 【0036】

次に、窒化膜 14 をエッチングストoppaとして、バリア膜 12、導電膜 13 及び反射防止膜 17 の 3 層を同時にパターン加工する (図 1 (E))。

#### 【0037】

続いて、常圧又は減圧下で、大気解放せずに加熱処理を行って、アルミニウムをリフローさせる (流動化させる) ことで、コンタクトホールをアルミニウムにより良好に充填し、表面が平坦化された導電膜 18 を形成することができる (図 1 (F))。この加熱処理は、レーザ光の照射又は瞬間熱アニールにより行い、少なくとも導電膜が再結晶温度以上になり、流動性を有するようにする。

#### 【0038】

なお本実施の形態では、反射防止膜 17 を形成する例を示したが、該反射防止膜 17 を形成せずに、導電膜 13 の表面を凸凹にすることで、レーザ光の反射光を抑制するようにしてもよい。

#### 【0039】

本形態の作製方法によると、短時間で加熱処理を行うため、有機絶縁膜 11 が破壊されることなく、埋め込み配線 18 を形成することができる。また本発明は、常圧又は減圧下で行うため、ロードロック機構を用いれば連続処理を行うことが可能であり、低コストが実現される。具体的には、バリア膜 12 及び導電膜 13 の成膜と加熱処理の工程の連続処理が可能である。

#### 【0040】

なお本実施の形態では、パターン加工した後に加熱処理を行ったが、本発明はこれに限定されず、実施の形態 1 のようにパターン加工する前に加熱処理を行ってもよい。この場合は、全面が導電膜に成膜された状態で加熱処理を行うことができるため、有機絶縁膜が保護される。本実施の形態は、上記の実施の形態と自

由に組み合わせることが可能である。

#### 【0 0 4 1】

##### 【実施例】

##### （実施例 1）

本発明の実施例について、図 2 を用いて説明する。

#### 【0 0 4 2】

図 2 は、基板 1 0 上に 6 層の層が形成された半導体装置の断面図を示しており、1 層目として半導体素子（ここでは薄膜トランジスタのみを示す）、2 層目から 6 層目まで配線が形成された場合を示す。

#### 【0 0 4 3】

このような多層配線を形成する場合、アルミニウムを主成分とする導電膜中の、Ge、Sn、Ga、Zn、Pb、In 及び Sb 等から選択された 1 種又は複数種の導電材料の含有率を、下層から上層に向かって多くすることが好ましい。そうすると、リフロー工程の処理温度を下層から上層に向かって低くすることができる。

#### 【0 0 4 4】

このような多層配線を含む半導体装置は、CPU などの半導体素子を多数組み込む必要がある機能回路に用いることが好適である。仮に、多層配線を形成しない場合、1 層目に形成した半導体素子（ここでは薄膜トランジスタ）のゲート電極、又はソース・ドレイン配線と同じレイヤーで配線を作製する必要が生じてしまう。そうすると、配線を引き回す必要が生じ、その分歩留まりが悪くなる。またこの場合には、半導体素子のサイズを小さくする以外には、半導体装置の小型化が見込めない。一方、本発明の半導体装置の方法を用いれば、低誘電率の有機絶縁膜を用いるために、多層配線を作製することが可能であり、1 層目に素子間の幅を狭くして高集積化することが可能で、その上層に配線を作製することができる。従って、大幅な小型化が実現され、さらに配線を引き回す必要がないために低抵抗化につながり、高速化が実現する。

#### 【0 0 4 5】

本実施例は、上記の実施の形態と自由に組み合わせることができる。

## 【0046】

## (実施例2)

本実施例では、Nチャネル型トランジスタ及びPチャネル型トランジスタを同一基板上に形成する作製工程について、図面を用いて説明する。

## 【0047】

絶縁表面を有する基板300上に、下地膜302として、公知の方法（プラズマCVD法等）により、窒化酸化珪素膜、酸化窒化珪素膜などの珪素を含む絶縁膜を単層又は積層形成する（図3（A））。

## 【0048】

次に、公知の方法（スパッタリング法、LPCVD法、プラズマCVD法等）により25～100nmの厚さで非晶質半導体膜を形成する。次いでこの非晶質半導体膜を公知の結晶化法（レーザ結晶化法、RTA又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法等）を用いて結晶化させる。そして、得られた結晶質半導体膜を所望の形状にパターンニングして半導体層307、308を形成する。なお前記半導体膜としては、非晶質半導体膜、微結晶半導体膜、結晶質半導体膜又は非晶質珪素ゲルマニウム膜などの非晶質構造を有する化合物半導体膜などを用いる。

## 【0049】

その後、半導体層307、308を覆うゲート絶縁膜317を形成する。ゲート絶縁膜317としては、例えば、スパッタ法を用いて、膜厚を30～200nmとして珪素を含む絶縁膜で形成する。

## 【0050】

次いで、絶縁膜317上に、Ta、W、Ti、Mo、Al、Cu、Cr、Ndから選択された元素、前記元素を主成分とする合金材料若しくは化合物材料、リン等の不純物元素をドーピングした多結晶珪素膜に代表される半導体膜やAgPdCu合金などの公知の導電性を有する材料を用いて、膜厚20～100nmの第1導電膜318を形成する（図3（B））。次に、第1導電膜318を被覆するように、膜厚100～400nmの第2導電膜及び膜厚100～400nmの窒化珪素膜を積層形成する。続いて、最初に酸化珪素膜や窒化珪素膜などの絶縁

膜をパターン加工して、絶縁層 321、322 を形成する。より詳しくは、酸化珪素膜であれば、リン酸系のエッチング液を用いてパターン加工し、窒化珪素膜であればフッ酸系のエッチング液を用いてパターン加工する。次に絶縁層 321、322 をマスクとして、第 2 導電膜をパターン加工して、導電層 319、320 を形成する。

#### 【0051】

次に、ドーピング処理を行う。本処理では、半導体層 307、308 に、リン又はヒ素などの 15 族に属し、N 型を付与する不純物元素を低濃度に添加する。この際、導電層 319、320 及び絶縁層 321、322 が N 型を付与する不純物元素に対するマスクとなって、自己整合的に不純物領域 324、325 が形成され、 $1 \times 10^{18} \sim 1 \times 10^{20} \text{ atoms/cm}^3$  の濃度範囲で N 型を付与する不純物元素が添加される。

#### 【0052】

次に、異方性のサイドエッチングを行って導電層 319、320 を後退させて、導電層 326、327 を形成する（図 3（C））。

#### 【0053】

その後、マスクとして機能した絶縁層 321、322 をエッチングにより除去する（図 3（D））。次に、新たにレジストからなるマスク 328 を形成して、上記のドーピング処理よりも高い加速電圧でドーピング処理を行う。導電層 326 を不純物元素に対するマスクとして用いて、ドーピング処理を行った結果、不純物領域（N-領域、LDD 領域）329 には  $1 \times 10^{18} \sim 5 \times 10^{19} \text{ atoms/cm}^3$  の濃度範囲で不純物元素が付与され、不純物領域（N+領域）330 には  $1 \times 10^{19} \sim 5 \times 10^{21} \text{ atoms/cm}^3$  の濃度範囲で N 型を付与する不純物元素を添加される。また、チャンネル形成領域 331 が形成される。

#### 【0054】

次いで、レジストからなるマスク 328 を除去した後、新たにレジストからなるマスク 332 を形成する（図 3（E））。その後、ドーピング処理を行って、P チャンネル型 TFT の活性層となる半導体層に、前記第 1 の導電型とは逆の導電型を付与する不純物元素が添加された不純物領域を形成する。本処理では、導電



層 327 を不純物元素に対するマスクとして用いて、P 型を付与する不純物元素を添加し、自己整合的に不純物領域(P+領域) 333、不純物領域(P-領域) 334 及びチャネル形成領域 335 を形成する。ここでは、P 型を付与する不純物元素の濃度が  $1 \times 10^{19} \sim 5 \times 10^{21} \text{atoms/cm}^3$  となるようにドーピング処理を行う。なおドーピング処理を行う条件等は上記記載に限定されず、2 回以上の複数のドーピング処理で形成しても良い。

#### 【0055】

次に、レジストからなるマスク 332 を除去し、導電層 326、327 をマスクとして、第 1 導電膜 318 を異方性エッチングして、導電層 336、337 を形成する(図 4(A))。以上の工程により、N チャネル型トランジスタ 338 及び P チャネル型トランジスタ 339 を同一基板上に形成することができる。

#### 【0056】

続いて、絶縁膜 341 を形成する。この絶縁膜 341 には、プラズマ CVD 法またはスパッタ法を用い、厚さを 100~200nm として珪素を含む絶縁膜を用いて、単層又は積層構造として形成する。本実施例では、プラズマ CVD 法により膜厚 100nm の酸化窒化珪素膜を形成した。次いで加熱処理を行って、半導体層の結晶性の回復、又は半導体層に添加された不純物元素の活性化を行ってもよい。

#### 【0057】

次いで、絶縁膜 341 上に、有機絶縁膜 348 を形成する。有機絶縁膜 348 としては、SOG 法によって塗布された酸化珪素膜、ポリイミド、ポリアミド、BCB、アクリル等の有機絶縁膜を用いる。絶縁膜 348 は、基板上 200 に形成された TFT による凹凸を緩和し、平坦化する意味合いが強いので、平坦性に優れた膜が好ましい。

#### 【0058】

次に、フォトリソグラフィを用いて、有機絶縁膜 348 をパターン加工し、絶縁膜 341 に達するコンタクトホールを形成する。次に、形成されたコンタクトホールを覆うように、プラズマ CVD 法などを用いて窒化膜 342 を形成する(図 4(B))。この窒化膜 342 は、有機絶縁膜 348 からの脱ガスを防止する

役目を担う。

#### 【0059】

次に、フォトリソグラフィ法を用いて、ゲート絶縁膜 317、絶縁膜 341 及び窒化膜 342 をパターン加工して、不純物領域 330、333 に達するコンタクトホールを形成する（図 4（C））。次に、スパッタ法により、チタン又はチタンを主成分とする材料を用いてバリア膜 349 を形成し、続いてアルミニウム又はアルミニウムを主成分とする材料を用いて、膜厚 0.3～2  $\mu\text{m}$  の厚さで導電膜 347 を形成する（図 4（D））。

#### 【0060】

続いて、導電膜 347 を成膜後、常圧又は減圧下で、大気解放せずに加熱処理を行って、アルミニウムをリフローさせることで、コンタクトホールにアルミニウムを充填し、表面が平坦化された導電膜 349 を形成する（図 4（E））。この加熱処理は、レーザ光の照射又は瞬間熱アニールにより行う。なおパターン加工した後に加熱処理を行っても構わないが、その場合、トランジスタのゲート電極を保護するため、該ゲート電極上に導電膜を残しておくことが好ましい。

#### 【0061】

次に、加熱処理により平坦化された導電膜 347 をパターン加工して、配線 343～346 を形成する（図 4（F））。その後、積層して配線を形成すると、図 2 に図示した半導体装置が完成する。

#### 【0062】

CPUなどに代表される機能回路を用途としたトランジスタは、LDD構造又はGOLD構造が好適であり、高速化のためには、トランジスタの微細化を図ることが好ましい。本実施例により完成されるトランジスタ 338、339 は、LDD構造を有するため、表示素子の制御だけでなく、機能回路に用いることも好適である。また、微細化に伴って、ゲート絶縁膜 317 の薄膜化が欠かせないが、本実施例の工程では、ゲート絶縁膜 317 が第 1 導電膜 318 に被覆された状態でドーピング工程が行われ、ゲート絶縁膜 317 が保護されているため、微細化にも有効な作製方法といえる。

#### 【0063】

本実施例は上記の実施の形態、実施例と組み合わせて実施することが可能である。

#### 【0064】

##### (実施例3)

本発明の実施例について、図5を用いて説明する。本実施例では、同一表面上に画素部及び該画素部を制御する駆動回路、並びにメモリ及びCPUを搭載したパネルについて説明する。図5は、TF Tが形成された基板をシーリング材によって封止することによって形成された表示パネルの上面図であり、図5(B)は図5(A)のB-B'における断面図、図5(C)は図5(A)のA-A'における断面図である。

#### 【0065】

図5(A)はパネルの外観を示し、該パネルは、基板400上に複数の画素がマトリクス状に配置された画素部401を有し、画素部401の周辺には、画素部401を制御する信号線駆動回路402、走査線駆動回路403を有する。そして、これらを囲むようにしてシール材406が設けられる。対向基板409は、画素部401及び駆動回路402、403上のみに設けてもよいし、全面に設けてもよい。但し、発熱する恐れがあるCPU406には、放熱板を接するように配置することが好ましい。メモリ405は、不揮発性と揮発性のメモリのいずれでもよく、例えばVRAM(画面表示専用メモリ)や、RAMなどに相当する。

#### 【0066】

基板400上には、信号線駆動回路402及び走査線駆動回路403に信号を伝達するための入力端子部411が設けられ、該入力端子部411へはFPC412を介してビデオ信号等のデータ信号が伝達される。入力端子部411の断面は、図5(B)に示す通りであり、走査線もしくは信号線と同時に形成された配線からなる入力配線413とFPC412側に設けられた配線415とを、導電体416を分散させた樹脂417を用いて電氣的に接続してある。なお、導電体416としては、球状の高分子化合物に金もしくは銀といったメッキ処理を施したものをを用いれば良い。

#### 【0067】

図5 (C) はパネルの断面図を示す。基板400上には、画素部401、信号線駆動回路402及びCPU406が設けられる。画素部401にはTFT430と保持容量429が設けられ、信号線駆動回路402にはTFT431及び432が設けられ、CPU406には複数のTFT440と配線441が設けられる。

#### 【0068】

TFTなどの半導体素子が設けられた基板400と、対向基板409の間にはスペーサ422が設けられており、シール材407により接着されている。そして、画素部401と信号線駆動回路402上にはラビング処理された配向膜435、液晶層423、配向膜424、対向電極425及びカラーフィルタ426が設けられる。基板400と対向基板409には偏光板428、429が設けられる。またCPU406を構成する素子として、半導体素子440とその上層に積層形成された配線441を有する。

#### 【0069】

基板400上の回路を構成する素子は、非晶質半導体に比べて移動度が高く、オン電流が大きい多結晶半導体（ポリシリコン）により形成され、それ故に同一表面上におけるモノシリック化が実現される。また、本発明の半導体装置の作製方法を適用することで、同一の基板400上に画素部と駆動回路以外に、CPUなどの機能回路をも一体形成することができる。このようなパネルはシステムオンパネルとよばれ、システムの多機能化を図ることができる。また本パネルは、接続する外部ICの個数が減少するため、小型・軽量・薄型が実現される。これは、最近普及が急速に進んだ携帯端末に適用すると、大変有効である。

#### 【0070】

なお本実施例では、1層目に半導体素子を形成し、その上層に配線を積層形成する場合を示したが、本発明はこれに限定されず、半導体素子（トランジスタ）を積層形成し、その上層に配線を積層形成してもよい。また、剥離方法を用いて、別の基板上に形成された半導体素子を剥離して貼り付けることで、半導体素子を積層形成し、その上層に配線を積層形成してもよい。

#### 【0071】

また、本実施例では、表示素子として液晶素子を用いたパネルを示したが、本発明はこれに限定されない。表示素子として、例えば発光素子などの他の表示素子を用いたパネルに適用してもよい。

#### 【0072】

図5では、画素部401の他にメモリ405とCPU406が具備されたパネルを示したが、以下には、それ以外の構成の機能回路を具備したパネルについて説明する。

#### 【0073】

図6(A)は表示パネルであり、450が機能回路である。そして、機能回路450の構成とその簡単な動作について図6(B)～(D)を用いて説明する。

#### 【0074】

図6(B)において、機能回路450は、メモリ131、CPU132、VRAM133及びインターフェース134を有し、画素などの他の回路と共に同一基板上に一体形成されている。メモリ131は、SRAMやDRAMといった揮発性メモリにより構成され、画像データを保存する。またVRAM133は、SRAMやDRAMといった揮発性メモリによって構成される。インターフェース134は、外部装置から入力された信号の一時的な保存、フォーマット変換などを行う。動作について簡単に説明すると、画像データや、キーボードやROMである外部装置から供給される制御信号は、インターフェース134及びシステムバス135を介して、CPU132と外部装置との間で通信される。CPU132は処理中の画像データやロジック回路の制御信号をメモリ131に一時的に格納し、処理された画像データはVRAM133に格納される。VRAM133に格納された画像データは、駆動回路を介して、各画素に供給される。

#### 【0075】

図6(C)において、機能回路450は、フレームメモリ138、タイミング生成回路136及びフォーマット変換回路137を有し、画素などの他の回路と共に同一基板上に一体形成されている。タイミング生成回路136は、各駆動回路の動作タイミングを決めるクロック、クロックバックを生成する。フォーマット変換回路137は、外部装置からFPCを介して入力される圧縮符号化された

信号の伸長復号、画像の補間やリサイズなどの画像処理が行われる。フォーマット変換された画像データは、フレームメモリ138に格納され、この格納された画像データは、駆動回路を介して、各画素に供給される。

#### 【0076】

図6(D)において、機能回路450は、VRAM133、マスクROM136、画像処理回路139、メモリ131、CPU132及びインターフェース134を有し、画素などの他の回路と共に同一基板上に一体形成されている。インターフェース134およびシステムバス135を介して、キーボードなどの外部装置との間で制御信号が通信される。マスクROM136には、プログラムデータや画像データが格納される。マスクROM136に格納されているデータは、CPU132によって、メモリ131との間で随時読み書きしながら処理される。画像データは画像処理回路139でリサイズ等の処理が施され、VRAM133に格納される。VRAM133に格納されたデータは、駆動回路を介して、各画素に供給される。

#### 【0077】

上述した機能回路450に含まれる各回路は、主に半導体素子により構成され、具体的にはトランジスタなどの3端子素子、ダイオードなどの2端子素子、容量素子及び抵抗素子などが挙げられる。そして、これらの半導体素子を電氣的に接続する配線を作製する際、本発明の半導体装置の作製方法を適用すると、低誘電率の絶縁膜上に配線を形成することができるため、配線容量の低減に伴って、多層配線を作製することができる。その結果、配線の低抵抗化が実現され、半導体装置自体の高性能化、高機能化を実現することができる。

#### 【0078】

本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

#### 【0079】

##### (実施例4)

本発明を適用して作製される電子機器の一例として、デジタルカメラ、カーオーディオなどの音響再生装置、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(携帯電話、携帯型ゲーム機等)、家庭用ゲーム機などの記録媒体を

備えた画像再生装置などが挙げられる。それら電子機器の具体例を図 7 に示す。

#### 【0 0 8 0】

図 7 (A) は携帯端末であり、本体 9 3 0 1、音声出力部 9 3 0 2、音声入力部 9 3 0 3、表示部 9 3 0 4、操作スイッチ 9 3 0 5 及びアンテナ 9 6 0 6 等を含む。なお、表示部 9 3 0 4 に設ける表示素子として、自発光型の発光素子を用いると、バックライトなどが必要ないため、液晶素子を用いる場合に比べて、薄型・小型・軽量が実現されるため、図示する携帯端末には大変有効である。

#### 【0 0 8 1】

図 7 (B) は P D A (personal・digital・assistant) であり、本体 9 1 0 1、スタイラス 9 1 0 2、表示部 9 1 0 3、操作ボタン 9 1 0 4 及び外部インターフェース 9 1 0 5 等を含む。図 7 (C) は、携帯型ゲーム機器であり、本体 9 2 0 1、表示部 9 2 0 2 及び操作ボタン 9 2 0 3 等を含む。図 7 (D) は、ゴーグル型ディスプレイであり、本体 9 5 0 1、表示部 9 5 0 2 及びアーム部 9 5 0 3 等を含む。

#### 【0 0 8 2】

上記に挙げた電子機器において、表示部 9 3 0 3、9 1 0 3、9 2 0 2 及び 9 5 0 3 を含むパネルは、駆動回路や C P U 等の機能回路を具備する。そして、駆動回路や機能回路には、本発明を適用した多層配線が形成されている。このように、駆動回路だけでなく、機能回路が一体形成されたパネルを有する電子機器は、接続する I C の個数を減らすことができるため、小型・軽量・薄型が実現され、大変好ましい。

#### 【0 0 8 3】

本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

#### 【0 0 8 4】

(実施例 5)

本実施例では、連続処理を行うマルチチャンバについて、図 8 を用いて説明する。

#### 【0 0 8 5】

図 8 において、搬送室 2 2 3 は基板の搬入または搬出を行い、ロード・アンロ

ード室とも呼ばれる。ここには、基板をセットしたキャリア 224 が配置される。共通室 220 は基板 221 を搬送する機構（搬送機構）222 を含む。搬送機構 222 としては、基板のハンドリングを行うロボットアームなどが挙げられる。

#### 【0086】

共通室 220 にはゲート 232～237 を介して複数の処理室が連結されている。図 8 の構成では共通室 220 を減圧（真空）の状態に設定し、各処理室はゲート 232～237 によって共通室 220 と遮断されている。各処理室には排気ポンプを設けて、真空下での処理を行う。排気ポンプとしては、油回転ポンプ、メカニカルブースターポンプ、ターボ分子ポンプ若しくはクライオポンプ等を用いることができる。

#### 【0087】

成膜用処理室 240～242 は、チタンを含むバリア膜、アルミニウムを含む導電膜、ゲルマニウムを含む反射防止膜等を形成する処理室である。これらの薄膜をスパッタリング法で形成する場合には、図示していないが、処理室にターゲット、高周波電源を用いたプラズマ発生手段、ガスの供給手段などが設けられる。

#### 【0088】

成膜用処理室 240～242 で所定の薄膜を形成後、リフローを行うための加熱処理は、レーザ照射室 228 で行う。レーザ照射室 228 は、大気と遮断されており、基板を載置して、該基板の位置を制御する位置制御手段、レーザ発振装置 230、光学系 229、中央演算処理装置及びメモリ等の記憶手段を兼ね備えたコンピューター等を有する。なお、成膜用処理室 240～242 内に加熱手段が具備されている場合は、該手段を用いてリフロー工程を連続的に行うことができる。

#### 【0089】

また、ヒータエッチング用処理室 226 は、所定のエッチング処理と加熱処理を同時に行う処理室である。なお、本マルチチャンバには、上記の処理室の他、パッシベーション膜を形成する CVD 処理を行う処理室や、有機絶縁膜を形成す



る S O G 処理を行う処理室等を設けてもよい。

#### 【0 0 9 0】

以上の構成を有する本マルチチャンバは、レーザ照射室や成膜室が全て搭載され、連続処理を行うことができるため、一度も大気に晒すことなく、本発明を適用した半導体装置を作製することができる。従って、歩留まりよく作製することができ、信頼性の高い半導体装置を作製することができる。

#### 【0 0 9 1】

本発明は、上記の実施の形態、実施例と自由に組み合わせることが可能である。

#### 【0 0 9 2】

##### 【発明の効果】

上記構成を有する本発明は、常圧又は減圧下で行うため、ロードロック機構を用いれば連続処理を行うことが可能であり、低コストが実現される。また、本発明によれば、短時間の加熱処理により、コンタクトホールの埋め込みを行うことを特徴としており、耐熱温度が低い有機絶縁膜にもカバレッジが良好な配線を形成することができる。さらに、低誘電率の有機絶縁膜を用いることで、配線容量を低減し、多層配線が実現されるため、半導体装置の高性能化及び高機能化が実現される。

##### 【図面の簡単な説明】

【図 1】 本発明の半導体装置の作製方法を示す図。

【図 2】 多層配線を具備した半導体装置を示す図。

【図 3】 本発明の半導体装置の作製方法を示す図。

【図 4】 本発明の半導体装置の作製方法を示す図。

【図 5】 C P U、メモリを具備した半導体装置を示す図。

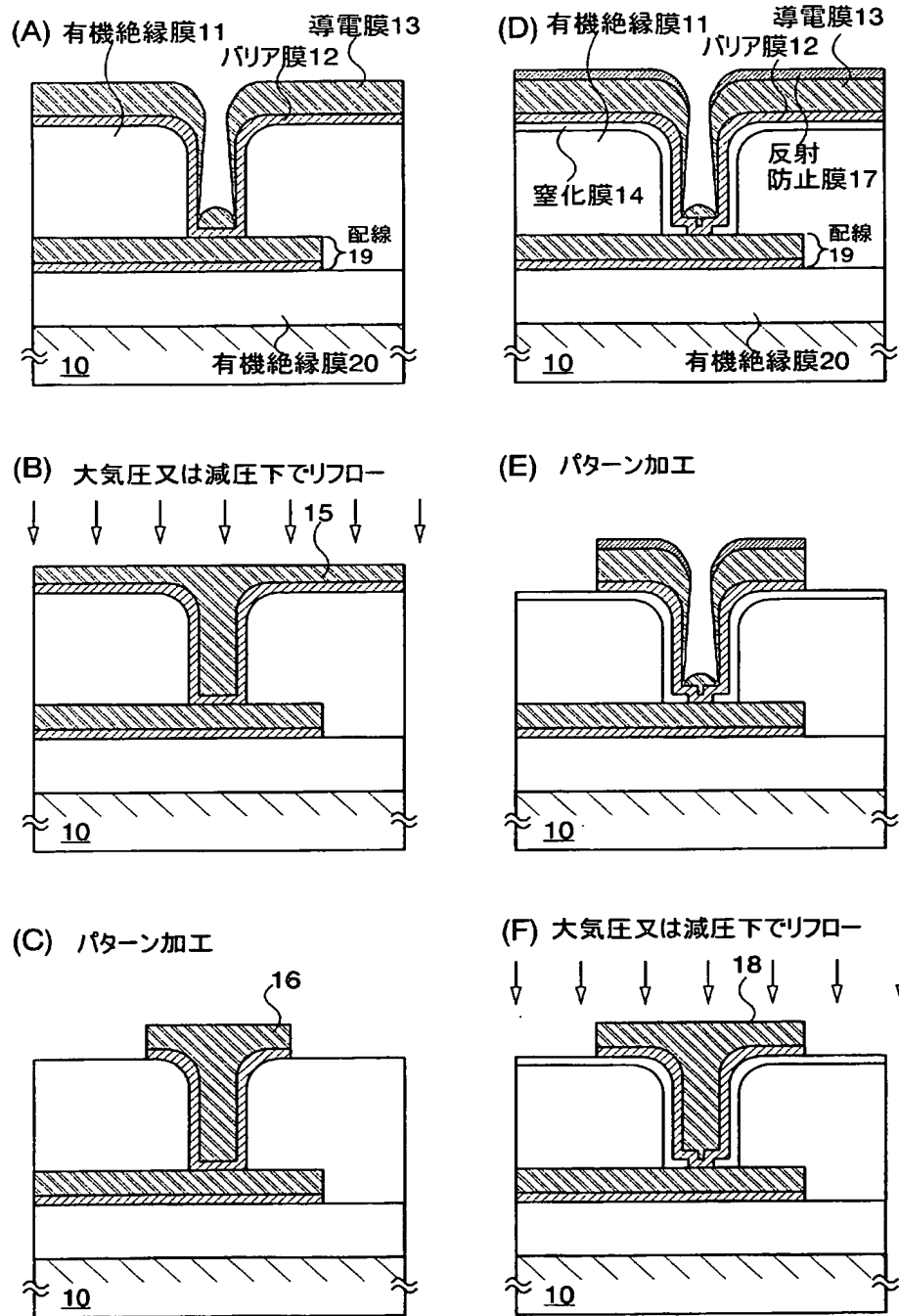
【図 6】 機能回路を示す図。

【図 7】 本発明が適用される電子機器を示す図。

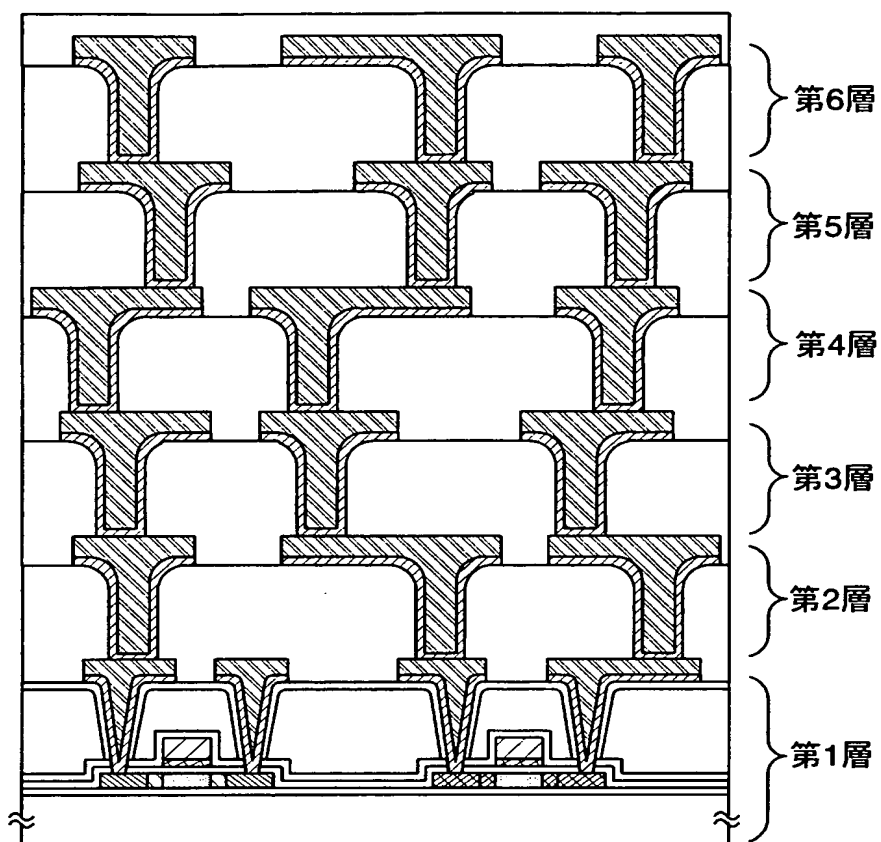
【図 8】 チャンバを示す図。

【書類名】 図面

【図 1】

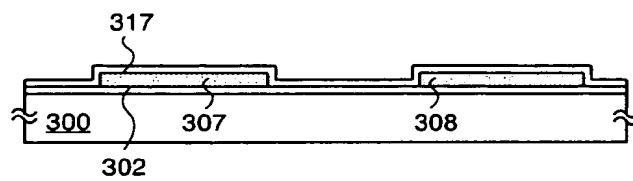


【図 2】

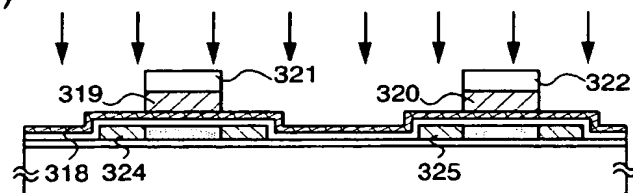


【図 3】

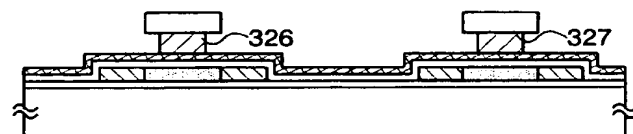
(A)



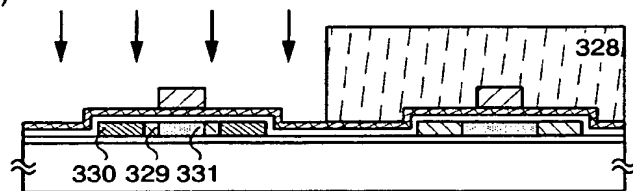
(B)



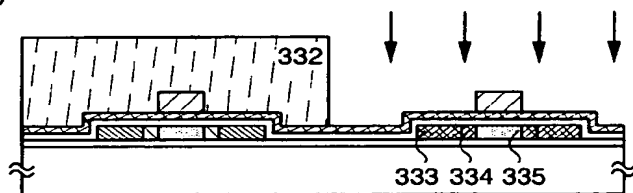
(C)



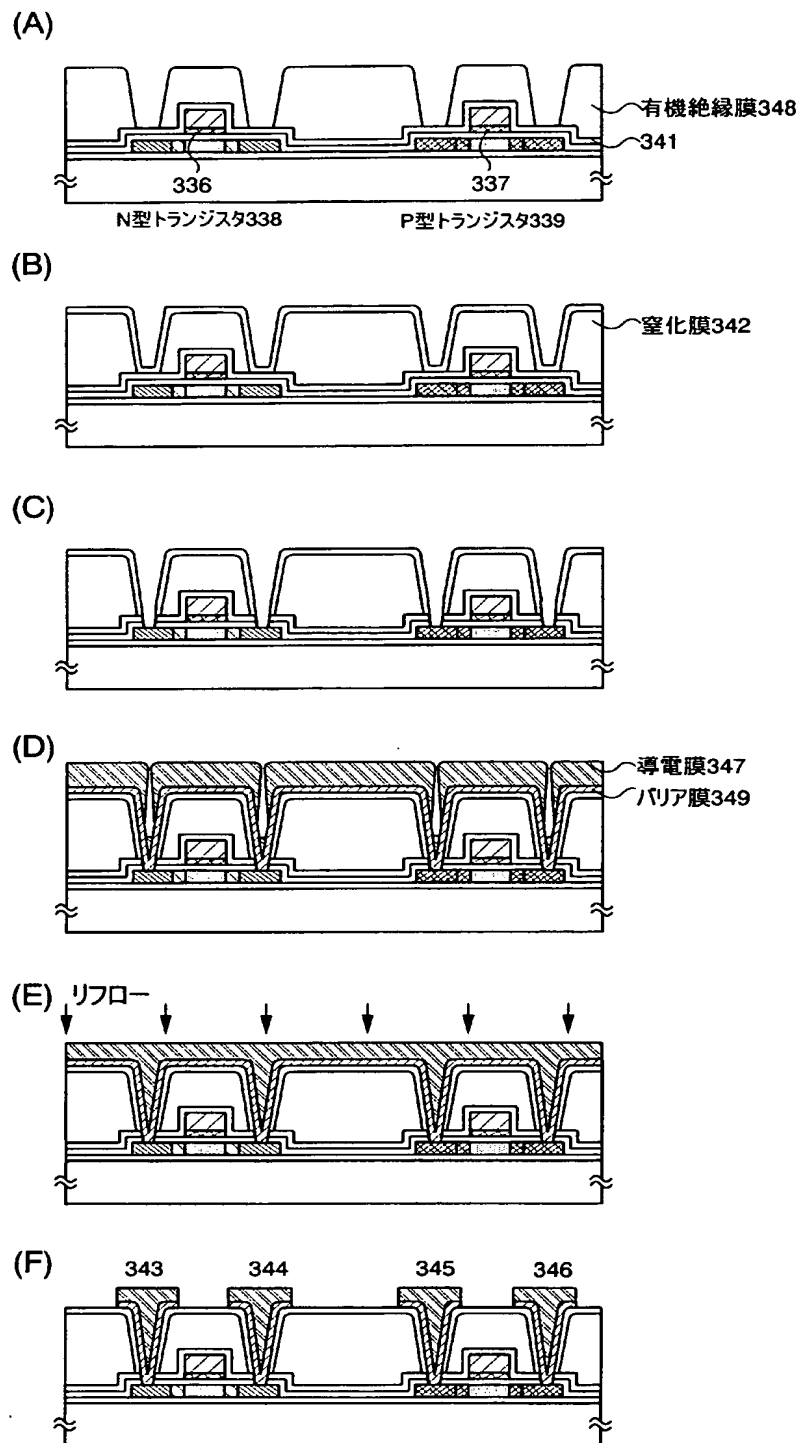
(D)



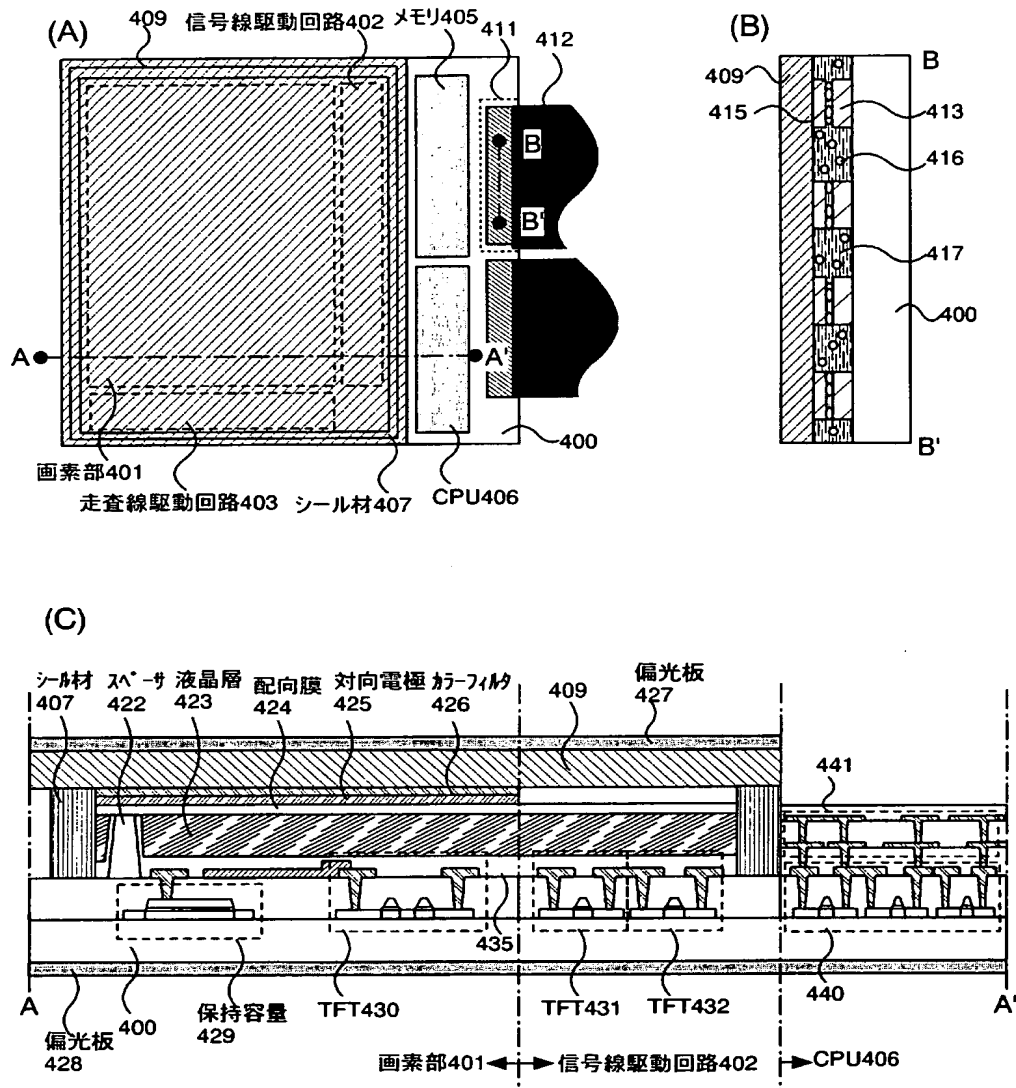
(E)



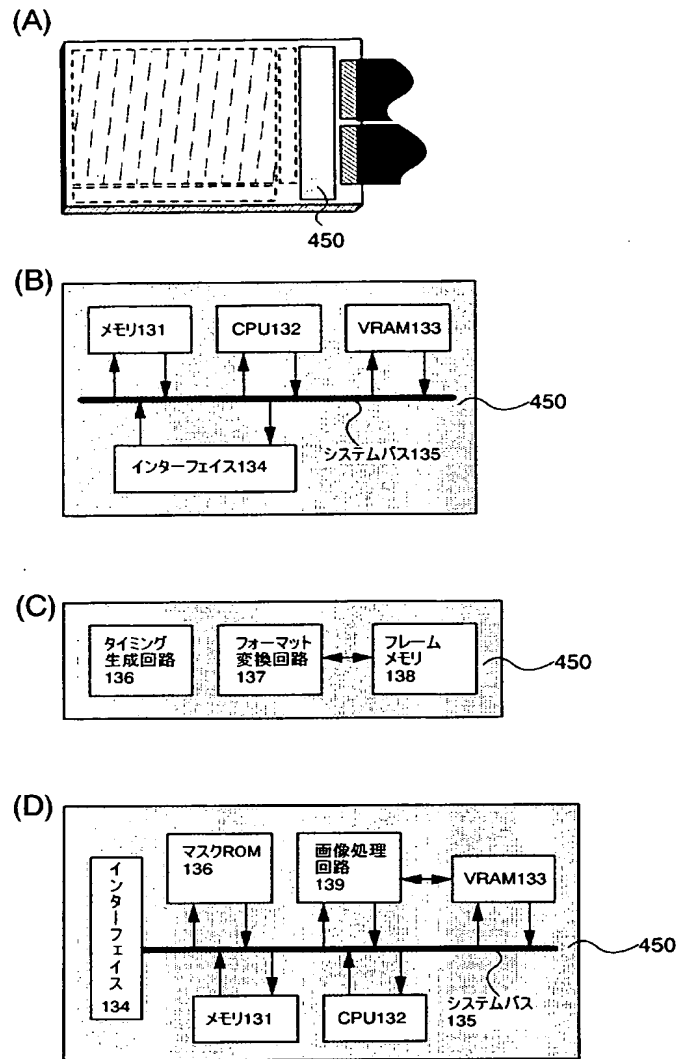
【図 4】



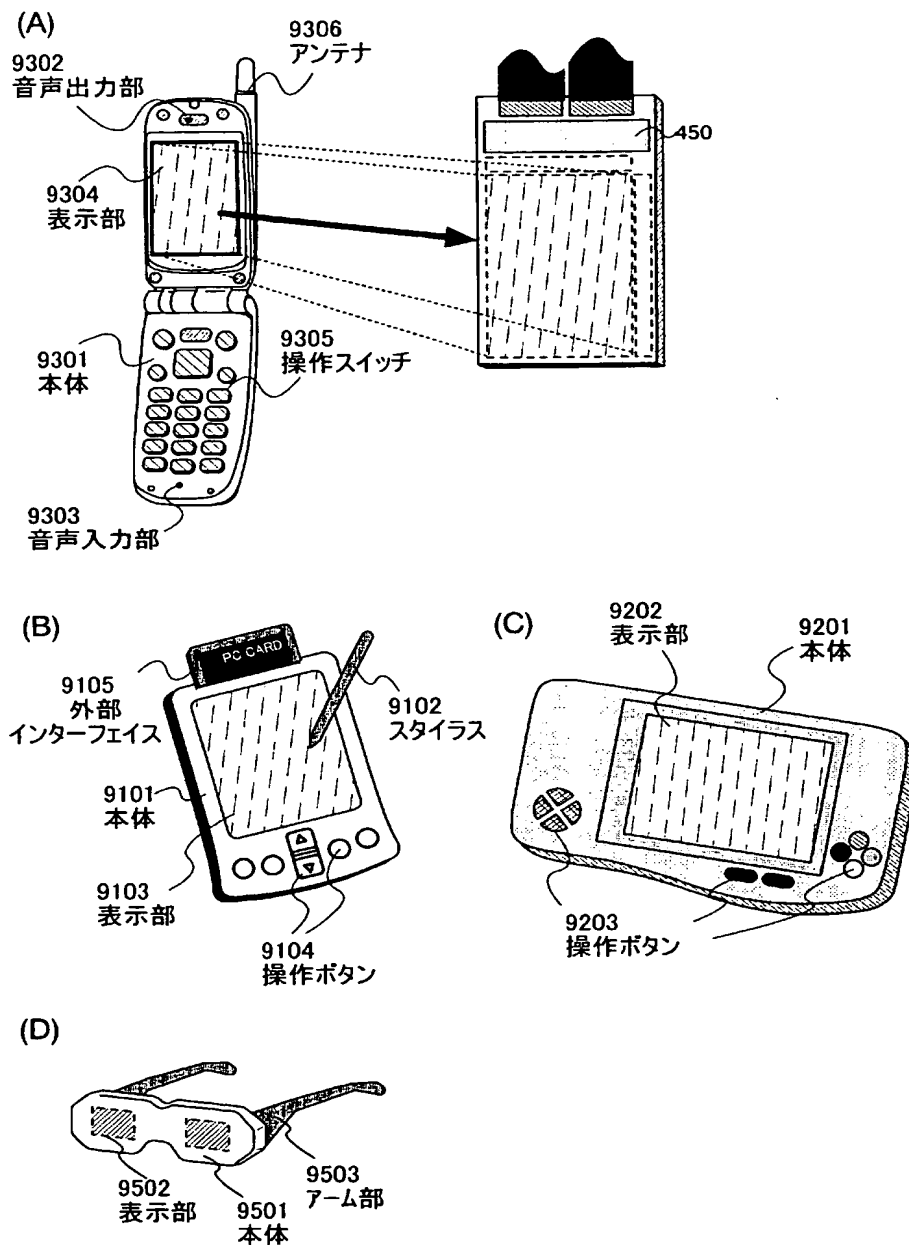
【図 5】



【図 6】

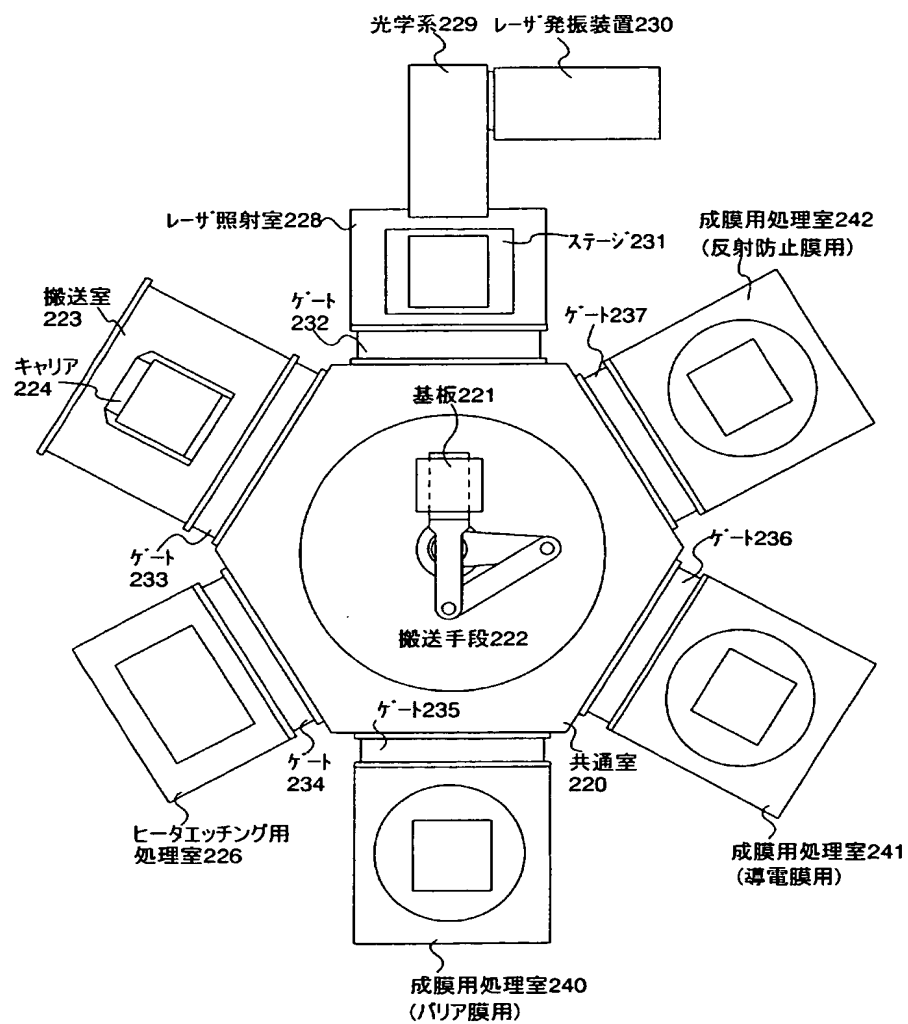


【図 7】





【図 8】



【書類名】 要約書

【要約】

【課題】 接続機構が簡単で、連続処理を行うことで低コストを実現し、また耐熱温度が低い有機絶縁膜に形成されたアスペクト比が高いコンタクトホールにカバレッジが良好な配線を形成することができる半導体装置の作製方法を提供することを課題とする。さらに、低誘電率の有機絶縁膜を用いることで、配線容量を低減し、多層配線を作製することが可能な半導体装置の作製方法を提供することを課題とする。

【解決手段】 本発明は、下層部とのコンタクトを形成する開口部が形成された有機絶縁膜上に、前記開口部を充填した配線を形成する半導体装置の作製方法であって、前記有機絶縁膜上及び開口部に、バリア性の第1の導電膜を形成し、前記第1の導電膜上にアルミニウムを含む第2の導電膜を形成し、減圧又は常圧（大気圧）下で、前記第2の導電膜の選択的な加熱処理により、平坦化を行うことを特徴とする。

【選択図】 図1

特願 2 0 0 3 - 0 8 5 7 3 3

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 1 5 3 8 7 8 ]

1. 変更年月日

1 9 9 0 年 8 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷 3 9 8 番地

氏 名

株式会社半導体エネルギー研究所